

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **64002371 A**

(43) Date of publication of application: **06.01.89**

(51) Int. Cl.

**H01L 29/80**  
**H01L 21/203**

(21) Application number: **62158700**

(22) Date of filing: **24.06.87**

(71) Applicant: **SHARP CORP**

(72) Inventor: **SHIODA MASAHIRO**  
**TOMITA KOJI**  
**YAMASHITA TATSUYA**

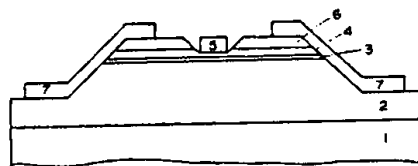
(54) **FIELD-EFFECT TRANSISTOR**

(57) Abstract:

**PURPOSE:** To increase electron mobility by using an N-type GaAs layer, an N-type GaAs layer and an N-type GaAs layer formed onto an undoped buffer layer as a channel layer.

**CONSTITUTION:** An undoped GaAs buffer layer 2 is shaped onto a semi-insulating GaAs substrate 1. An N-type  $\text{In}_x\text{Ga}_{1-x}\text{As}$  layer 3 having forbidden band width smaller than GaAs is formed onto the layer 2, thus inhibiting the exudation of carriers to the layer 2. A stress-free N-type GaAs layer 4 is shaped onto the layer 3, and these layers 3 and 4 are employed as a channel layer. A gate electrode 5 is attached onto the surface of the layer 4. Accordingly, electron mobility and drift velocity are increased and the effect of confinement of carriers can be improved, and a Schottky barrier FET having excellent gate characteristics can be acquired.

**COPYRIGHT:** (C)1989,JPO&Japio



**BEST AVAILABLE COPY**

③ 日本国特許庁 (J P) ④ 特許出願公開  
⑤ 公開特許公報 (A) 昭64-2371

⑥ Int. Cl.<sup>4</sup>  
H 01 L 29/80  
21/203

識別記号 庁内整理番号  
B-8122-5F  
7630-5F

⑦ 公開 昭和64年(1989)1月6日

審査請求 未請求 発明の数 1 (全5頁)

⑧ 発明の名称 電界効果トランジスタ

⑨ 特 願 昭62-158700

⑩ 出 願 昭62(1987)6月24日

⑪ 発 明 者 塩 田 昌 弘 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社  
内  
⑫ 発 明 者 宮 田 孝 司 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社  
内  
⑬ 発 明 者 山 下 達 哉 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社  
内  
⑭ 出 願 人 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号  
⑮ 代 理 人 弁理士 杉山 毅 至 外1名

明 細 書

1. 発明の名称

電界効果トランジスタ

2. 特許請求の範囲

1. 半絶縁性GaAs基板と、該半絶縁性GaAs基板上に形成されたアンドープGaAs層と、

該アンドープGaAs層上に形成されたり〜  
1000オングストロームの厚さを有するn型  
InGaAs層と、

該n型InGaAs層上に形成されたn型GaAs層と、

を特徴とす。

上記n型InGaAs層及びn型GaAs層の2層をチャンネル層として構成するようになったことを特徴とする電界効果トランジスタ。

3. 発明の詳細な説明

<産業上の利用分野>

本発明は、マイクロ波、ミリ波帯増幅器に用いる低雑音電界効果トランジスタや、超高速論理素子に用いる電界効果トランジスタの構造の改良に

関するものである。

<従来の技術>

化合物半導体、特にGaAsは、Siに比べキャリアの移動度が大きいことや、半絶縁性が得られること等の特徴により、超高速半導体素子への応用が期待されている。

この超高速半導体素子においては、低雑音化、高利得化のため、相互コンダクタンス $g_m$ の向上と、ソース抵抗 $R_s$ 及びゲートソース $C_{gs}$ の低減に向けての努力が進められている。特に、GaAs MESFETにおいては、第7図に示すように半絶縁性GaAs基板11上のアンドープGaAs層12上にn-GaAs層14を形成した後、プレーナー型に加工してゲート電極15及びオーミック電極17、17を形成したプレーナー型GaAs MESFET構造が最も一般的であるが、 $R_s$ 低減のため、第8図に示す様な表面n+-GaAs層16の形成及び深いリセス構造の作用が提案されている。更に、 $g_m$ の向上、 $R_s$ 、 $C_{gs}$ の低減のため、ゲート長の短縮化や、第9図に示すようにn-

## 特開昭64-2371(2)

GaAs 層 14 の下に  $n^+ - \text{GaAs}$  層 161 を設けて活性層下部のキャリア濃度を高くするベリッドチャンネルプロファイルの採用や、第 10 図に示すようにキャリアの閉じ込め効果を上げるため、GaAs よりも禁制帯幅の大きなアンダーラミネーションバッファ層 18 の採用等の提案が成されている。

また最近、 $\epsilon_m$  の向上のため、第 11 図及び第 12 図に示す様な  $n - \text{GaAs}$  よりも電子移動度、ドリフト速度が大きい  $n - \text{InGaAs}$  を電子走行層 20 として用いる FET が提案されている。なお、第 11 図は半絶縁性 I n P 基板 19 上に形成された表面アンダーラミネーション層 21 を有するプレーナ型 I n GaAs MIS-like FET の断面を示す図、第 12 図は半絶縁性 I n P 基板 19 上に形成された表面  $n - \text{GaAs}$  層 14 を有するプレーナ型 I n GaAs MESFET の断面を示す図であり、第 11 図及び第 12 図において、20 は電子走行層として設けられた  $n - \text{In}_{0.52}\text{Ga}_{0.47}\text{As}$  層を示している。

<発明が解決しようとする問題点>

ショットキ障壁の高さが、約 0.5 V と GaAs のそれに比べかなり低いため、同じ素子サイズの GaAs MESFET に比べ、ゲート特性が不安定となり、電子走行層に  $n - \text{In}_x\text{Ga}_{1-x}\text{As}$  ( $x = 0.53$ ) を用いているにもかかわらず、 $\epsilon_m$  の向上に寄与しないという欠点及びドレイン電流-電圧特性において、ドレイン電流が飽打つという欠点があった。

また第 12 図に示す様な MESFET の場合、電子走行層である  $n - \text{In}_x\text{Ga}_{1-x}\text{As}$  ( $x = 0.53$ ) と層 20 は、I n P 基板 19 に対して格子整合がとれているが、ゲート底下に用いている  $n - \text{GaAs}$  層 14 は、その下層にある  $n - \text{In}_x\text{Ga}_{1-x}\text{As}$  ( $x = 0.53$ ) 層 20 に対して格子整合がとれておらず、そのことが原因となり  $n - \text{GaAs}$  の層厚がクリティカルシクネス ( $\lambda_c$ ) 以下であっても、ゲート特性の劣化、特にゲートの逆漏圧特性の劣化を招き、 $\epsilon_m$  の低下につながるという欠点があった。

本発明は上記諸点に鑑みて創案されたものであ

り、しかしながら、上記した従来の GaAs MESFET、例えば第 8 図及び第 9 図に示すような GaAs MESFET においては、バッファ層 12 に活性層と同じ GaAs を用いているために、キャリアのバッファ層 12 へのしみ出しが大きく、その結果ドレイン電流が小さい領域では電流の遮断が悪くなり、 $\epsilon_m$  が低減するという欠点があった。また、第 10 図に示す様な AlGaAs バッファ層 18 を用いた GaAs MESFET においては、キャリアのバッファ層 18 へのしみ出しは改善されるが、高品質 AlGaAs の成長には、高い基板温度が必要となることや、AlGaAs 上の GaAs の結晶品質が、GaAs 上の GaAs のそれに比べて悪くなるため、 $n - \text{GaAs}$  の電子移動度の低下を招き、 $R_s$  の増大や、 $\epsilon_m$  の低下につながるという欠点があった。

また、 $n - \text{InGaAs}$  を電子走行層として用いる FET、例えば第 11 図に示す様な FET の場合、ゲート底下に用いている  $\text{In}_y\text{Al}_{1-y}\text{As}$  ( $y = 0.52$ ) 層 21 が非常に酸化しやすく、かつシ

リ、上記第 8 図乃至第 10 図に示す様な従来の GaAs MESFET では実現できない電子移動度の向上や、ドリフト速度の向上や、キャリアの閉じ込め効果の向上を同時に実現し、かつ、第 11 図、第 12 図に示した様な  $n - \text{InGaAs}$  層を電子走行層として用いた従来の FET では実現できないゲート特性の向上を実現することにより、 $\epsilon_m$  を向上し得る電界効果トランジスタを提供することを目的とする。

<問題点を解決するための手段及び作用>

上記の目的を達成するため、本発明の電界効果トランジスタは、半絶縁性 GaAs 基板と、この半絶縁性 GaAs 基板上に形成されたアンダーラミネーション層と、このアンダーラミネーション層上に形成された  $5 \sim 1000 \text{ \AA}$  の層厚を有する n 型 I n GaAs 層と、この n 型 I n GaAs 層上に形成された n 型 GaAs 層とを備え、上記の n 型 I n GaAs 層及び n 型 GaAs 層の 2 層をチャンネル層として構成するようになしている。

即ち、本発明は、第 1 図に示すように基板に半

特開昭64-2371(3)

絶縁性GaAs基板1を用い、この半絶縁性GaAs基板1上にアンドープGaAsバッファ層2を形成して基板結晶の品質を改善し、かつGaAsよりも同一温度、同一自由電子濃度、同一不純物濃度において電子移動度が大きく、そして、アンドープGaAsバッファ層2へのキャリアのしみ出しを抑制するため、GaAsよりも禁制帯幅の小さい $n\text{-In}_x\text{Ga}_{1-x}\text{As}$ 層3を上記アンドープGaAsバッファ層2上に形成し、かつ、この $n\text{-In}_x\text{Ga}_{1-x}\text{As}$ 層3の層厚をクリティカルシクネス( $hc$ )以下の $\sim 1000\text{\AA}$ にすることにより、アンドープGaAs層2と $n\text{-In}_x\text{Ga}_{1-x}\text{As}$ 層3との間の格子不整合によって $n\text{-In}_x\text{Ga}_{1-x}\text{As}$ 層3に発生する転位を防ぎ、 $n\text{-In}_x\text{Ga}_{1-x}\text{As}$ 層3の電子移動度の低下を抑制し、かつ、 $n\text{-In}_x\text{Ga}_{1-x}\text{As}$ 層3の上に第12図に示す様なストレスを受けた $n\text{-GaAs}$ ではなく、ストレスフリーな $n\text{-GaAs}$ 層4を形成し、かつ、この $n\text{-GaAs}$ 層4表面上の一部にゲート金属5を付着させることにより、FETのゲート特性を通常のGaAs

MESFETと同じにすることを特徴とするショットキーバリアゲートFETを得るようになり、上記第8図乃至第12図に示した従来のFETの問題点を解決するように成している。

#### ＜実施例＞

以下、図面を参照して、本発明の一実施例として $n\text{-In}_x\text{Ga}_{1-x}\text{As}$ 層( $x=0.15$ )、 $n\text{-GaAs}$ 層の2層のチャンネルを有するMESFETについて、その製造工程に従って詳細に説明する。

まずGaAs基板1を硫酸系エッチャント(硫酸:過酸化水素:水=3:1:1)中に30秒間浸漬し、前処理を行なう。その後、GaAs基板1をMBE成長室に搬入し、As圧下で600℃1時間のベークングを行ない、GaAs基板1に付着している酸化膜を除去する。その後、基板温度を580℃に下げ、Gaセルシャッターを開け、アンドープGaAsバッファ層2を1 $\mu\text{m}$ 成長する。その後1 $\mu\text{m}$ セルシャッター、Si(980℃)セルシャッターを開にし、 $n\text{-In}_x\text{Ga}_{1-x}\text{As}$ 層3( $n=5\times 10^{17}\text{cm}^{-3}$ ,  $x=0.15$ )を100 $\text{\AA}$

成長する。その後、1 $\mu\text{m}$ セルシャッターを閉じ、同時にSiセル温度を980℃から940℃に下げ $n\text{-GaAs}$ 層4( $n=2\times 10^{17}\text{cm}^{-3}$ )を2000 $\text{\AA}$ 成長し、その後、Siセル温度を940℃から1020℃に上げ $n\text{-GaAs}$ 層6( $n=1\times 10^{17}\text{cm}^{-3}$ )を2000 $\text{\AA}$ 成長し、その後、Siセルシャッター、Gaセルシャッターを同時に閉じ、基板温度を400℃まで下げ、Asセルシャッターを閉じ、基板温度を室温にまで下げる。その後成長基板をMBE成長室から取り出す。

その後第2図に示す様に、GaAs成長層5上にフォトリソを用いてメサパターン8を形成する。その後、このメサパターン8をマスク材として第3図に示す様な成長層のエッチングを行ない素子間を分離させ、その後、上記フォトリソ8を有機溶剤を用いて除去する。その後、通常のフォトリソグラフィ、電極蒸着、アロイ処理を行ない第4図に示す様なオーミック電極7を形成する。その後、フォトリソを用いて第5図に示す様なゲートパターン9を形成し、このゲート

パターン9をマスク材として $n\text{-GaAs}$ 層6及び $n\text{-GaAs}$ 層4の一部をリン酸系エッチャント(リン酸:過酸化水素:水)=(3:1:50)を用いてエッチングし、第6図に示す様なリセマ形状を得る。その後、ゲート電極5をEB蒸着膜を用いて蒸着し、その後上記フォトリソ9を有機溶剤を用いて除去し、第1図に示す様な構造の電界効果トランジスタを得る。

以上の様な方法で、第8図、第9図、第10図に示す様なGaAs MESFETでは実現できない、電子移動度、ドリフト速度の向上やキャリアの閉じ込め効果の向上を同時に実現でき、かつ、第11図、第12図に示す様な従来の $n\text{-InGaAs}$ 層を電子走行層とするFETよりもゲート特性の優れたMESFETを得ることができ、従来の $n\text{-GaAs}$ または、 $n\text{-InGaAs}$ を用いたMESFETよりも50mS/mm程度 $\mu_m$ を向上し、また、従来の $n\text{-InGaAs}$ 層を電子走行層とするFETよりもゲートのリーク電流を2桁小さくすることが可能となった。

## 特開昭64-2371(4)

尚、本発明は、 $n\text{-InGaAs}$  と  $n\text{-GaAs}$  の2層のチャンネルを有するMESFETばかりでなく、他の半導体、例えば、 $n\text{-InP}$  と  $n\text{-GaAs}$ 、 $n\text{-InAs}$  と  $n\text{-GaAs}$  等を利用したMESFET に対しても適用し得ることは明らかである。

## ＜発明の効果＞

以上のように本発明によれば、半絶縁性GaAs基板上的アンダーブGaAs上に形成した $n\text{-InGaAs}$ 層、 $n\text{-GaAs}$ 層の2層をチャンネル層として有するようになっているため、ゲート特性を劣化させることなく、 $f_m$  を大幅に向上させることが出来る。

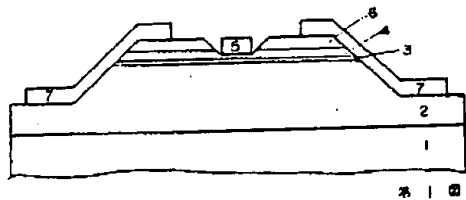
## 4. 図面の簡単な説明

第1図は、本発明の一実施例による $n\text{-InGaAs}$ 、 $n\text{-GaAs}$ の2層のチャンネルを有するリセス型FETの断面を示す図、第2図乃至第6図は、それぞれ本発明の一実施例の電界効果トランジスタの製造工程を説明するため各工程における試料断面を示す図、第7図は、最も一般的なプレーナー

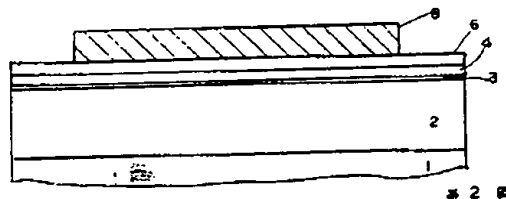
型GaAs MESFET の断面を示す図、第8図は表面 $n^+\text{-GaAs}$ 層を有するリセス型GaAs MESFET の断面を示す図、第9図は、表面 $n^+\text{-GaAs}$ 層を有し、かつ、ペリッドチャンネルプロファイルを有するリセス型GaAs MESFETの断面を示す図、第10図は、表面 $n^+\text{-GaAs}$ 層を有し、かつアンダーブGaAs バッファ層を有するリセス型GaAs MESFET の断面を示す図、第11図は、半絶縁性InP基板上に形成された表面アンダーブInGaAs 層を有するプレーナー型InGaAs MIS-like FETの断面を示す図、第12図は、半絶縁性InP基板上に形成された表面 $n\text{-GaAs}$ 層を有するプレーナー型InGaAs MESFET の断面を示す図である。

1…半絶縁性GaAs基板、2…アンダーブGaAs層、3… $n\text{-InGaAs}$ 層、4… $n\text{-GaAs}$ 層、5…ゲート電極、6… $n^+\text{-GaAs}$ 層、7…オーミック電極。

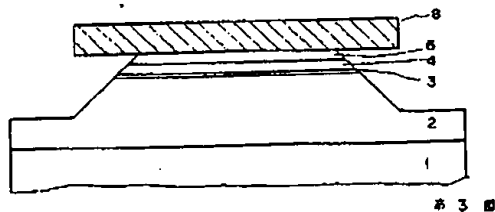
代理人 弁護士 杉 山 毅 至(他1名)



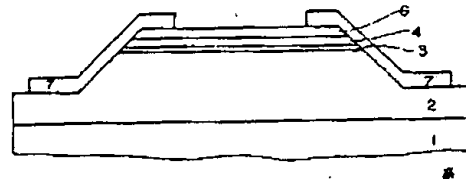
第1図



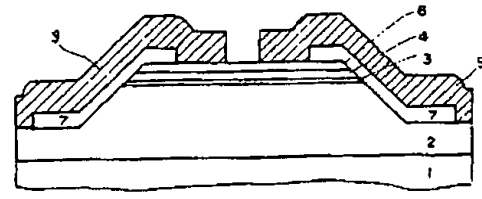
第2図



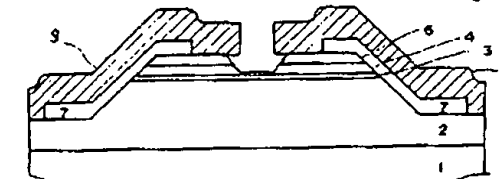
第3図



第4図



第5図



第6図

特開昭64-2371(5)

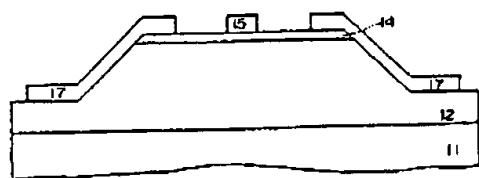


図 7

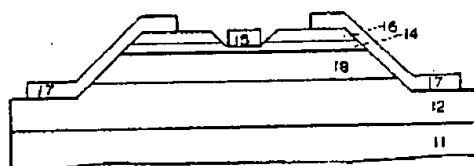


図 10

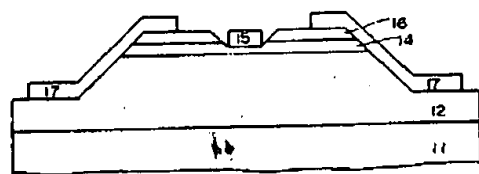


図 8

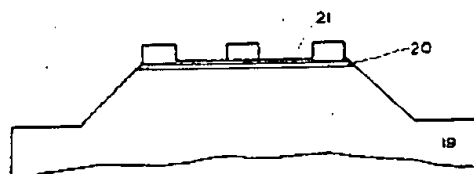


図 11

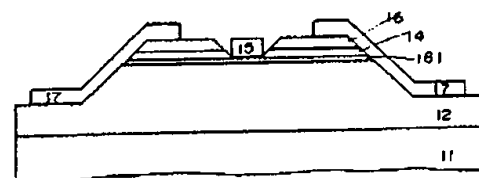


図 9

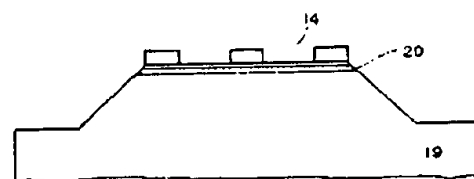


図 12